

УДК 621.372.061

МОДЕЛЮВАННЯ КАТАСТРОФІЧНИХ НЕСПРАВНОСТЕЙ В ЕЛЕКТРОННИХ КОЛАХ НА ПОСТІЙНОМУ СТРУМІ

Б. Благітко, В. Рабик

*Львівський національний університет імені Івана Франка
кафедра радіофізики
вул. генерала Тарнавського, 107, Львів 79017, Україна
RabykV@ukr.net*

Запропоновано методологію та алгоритм моделювання катастрофічних несправностей в електронних колах на постійному струмі шляхом модифікації матриці провідностей номінальної схеми. Цей підхід дає змогу моделювати катастрофічні несправності без зміни топології кола для резисторів, керованих джерел та операційних підсилювачів.

Ключові слова: катастрофічні несправності, електронні кола, моделювання, LU -розклад.

Діагностика несправностей в електронних колах суттєво залежить від методу моделювання несправностей перед натурним тестуванням. Огляд ефективних методів моделювання несправностей у лінійних колах можна знайти в [1]. Більшість методів діагностики несправностей ґрунтується на формулах Хаусхолдера, Шермана-Моррісона або Вудберрі, які розв'язують рівняння несправного кола шляхом модифікації оберненої матриці номінального кола. Однак ці методи, головню, використовують для діагностики "м'яких" несправностей (несправності, за яких параметри елементів відхиляються від номінальних до $\pm 50\%$).

Серед широкого типу різноманітних несправностей в електронних колах найважчими для моделювання є катастрофічні несправності (розриви та короткі замикання), що призводять до зміни топології схеми. Загальноприйняте використання резисторів з дуже малим значенням опору (наприклад, < 1 Ом) для моделювання короткого замикання в колі або резисторів з дуже великим значенням опору (наприклад, 100 МОм) для моделювання розриву кола. Зазначимо про дві важливі особливості: більшість несправностей у практичних електронних колах є катастрофічними і дослідника найбільше цікавить ситуація моделювання катастрофічної несправності будь-якого, але одного елемента кола.

Ми пропонуємо робастний та ефективний метод моделювання катастрофічних несправностей у лінійних електронних колах. Цей метод ґрунтується на модифікації LU -матриць номінального кола і є продовженням підходу, описаного в [2]. Розглянемо широкий діапазон катастрофічних несправностей, зокрема, коротке замикання та розрив елемента кола (параметр будь-якого елемента кола може мати значення 0 або ∞), коротке замикання між довільними вузлами схеми.

Рівняння, що описує лінійні електронні кола методом вузлових потенціалів, має вигляд

$$Y \cdot V = J, \tag{1}$$

де Y – матриця вузлових провідностей лінійних або лінеаризованих схем; $U[n]$ – вектор вузлових потенціалів; $J[n]$ – вектор зовнішніх джерел струму та напруги. Нехай електронне коло складається з резисторів (провідностей) $R(G)$, джерел струму, керованих напругою (ДСКН) g_m , джерел струму, керованих струмом (ДСКС) β_m та зовнішніх джерел струму I або е.р.с. E з внутрішнім опором r та операційних підсилювачів. Операційні підсилювачі (рис. 1, *a*) в електронних схемах відображає модель (див. рис. 1, *б*), що складається з двополусних елементів. Передатна характеристика операційного підсилювача (рис. 1, *в*) апроксимована виразом

$$U_{out} = \begin{cases} +E_{op}, & +E_{op} < U_{out} \\ K * U_{in}, & -E_{op} \leq U_{out} \leq +E_{op} \\ -E_{op}, & -E_{op} > U_{out} \end{cases} \tag{2}$$

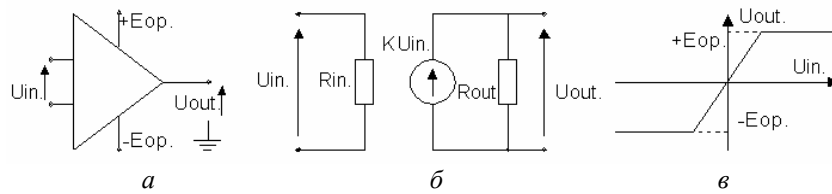


Рис. 1. Умовне позначення (*a*), схема заміщення (*б*) та передатна характеристика (*в*) операційного підсилювача.

Внесок резистора R (рис. 2, *a*) та ДСКН (див. рис. 2, *б*) у матрицю провідностей Y наведено, відповідно, на рис. 3, *a* та рис. 4, *б*.

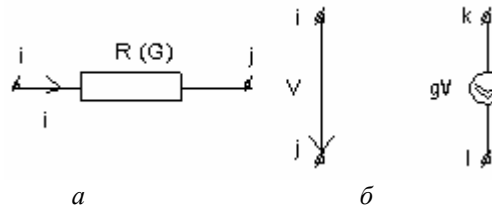


Рис. 2. Умовне позначення резистора (*a*) та ДСКН (*б*).

	<i>i</i>	<i>j</i>
<i>i</i>	$+G$	$-G$

<i>j</i>	$-G$	$+G$

a

	<i>i</i>	<i>j</i>
<i>k</i>	$+g_m$	$-g_m$

<i>l</i>	$-g_m$	$+g_m$

б

Рис. 3. Вклад резистора (*a*) та ДСКН (*б*) у матрицю провідностей Y .

Моделювання короткого замикання в резисторах (провідностях) кола. Для цього послідовно з резистором R приєднуємо резистор (провідність) $R_f = -R$ (рис. 4). У разі послідовного з'єднання таких резисторів загальний опір дорівнюватиме нулю (коротке замикання).

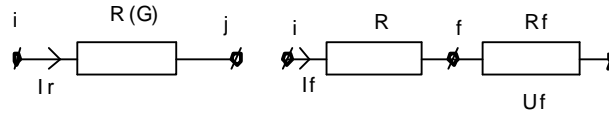


Рис. 4. Схема моделювання короткого замикання.

Внесок у матрицю провідностей Y послідовного з'єднання двох резисторів матиме такий вигляд (див. рис. 5, а):

	i	j	f
i	$+G$	\dots	0
j	0	$+G_f$	$-G_f$
f	$-G$	$-G_f$	$G+G_f$

а

	i	j	i_f
i	$+G$	\dots	$-G$
j	$-G$	$+G$	-1
f	$+1$	-1	0

б

Рис. 5. Внесок у матрицю провідностей послідовного з'єднання двох резисторів (а) та модифікована матриця провідностей для цього з'єднання (б).

Як бачимо з рис. 5, а матриця провідності Y для справного резистора R (див. рис. 3, а) відрізняється від матриці провідності в разі моделювання короткого замикання для цього елемента. Виконаємо деякі перетворення з матрицею провідностей Y (див. рис. 3, а). Перейдемо від класичного методу вузлових потенціалів до модифікованого [2]. Для цього додамо в матрицю провідностей Y для справного резистора рядок та стовпець (див. рис. 5, б). Стовпець відобразить струм i_f через послідовне з'єднання опорів R та R_f . Перший рядок матриці (див. рис. 5, а) запишемо так:

$$G(V_i - V_f) = G \cdot V_i - G(V_j + U_f) = GV_i - GV_j + i_f.$$

Одержаний вираз занесемо в перший рядок модифікованої матриці (див. рис. 5, б). Аналогічні перетворення виконаємо для другого рядка:

$$G_f(V_j - V_f) = -GV_j + GV_f = GV_i - GV_j - i_f.$$

Оскільки в разі закорочення резистора, приєданого до вузлів i та j , $V_i = V_j$, то останній вираз перепишемо як $G_f(V_j - V_i) = -GV_i + GV_j - i_f$ та занесемо в другий рядок матриці провідностей (див. рис. 5, б). Останній рядок після перетворень матиме вигляд

$$-GV_i - GV_j + (G + G_f)V_f = -GV_i + GV_j.$$

Моделювання розриву в резисторах (провідностях) кола. Для цього паралельно з резистором R приєднуємо резистор $R_f = -R$ (див. рис. 6). У разі паралельного з'єднання таких резисторів загальна провідність дорівнюватиме нулю (розрив, неробочий хід).

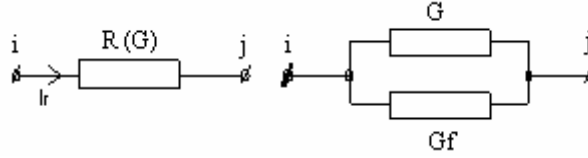


Рис. 6. Схема моделювання розриву в резисторах.

Внесок у матрицю провідностей Y паралельного з'єднання двох резисторів матиме вигляд як на рис. 7, а:

	i		j	
i	$G+G_f$...	$-G-G_f$	
	
j	$-G-G_f$...	$G+G_f$	

a

	i		j		i_f
i	$+G$...	$-G$...	$+I$

j	$-G$...	$+G$...	$-I$

	$+I$...	$-I$...	$+R$

б

Рис. 7. Внесок у матрицю провідностей паралельного з'єднання двох резисторів (а) та модифікована матриця провідностей для цього з'єднання (б).

Матриця провідностей Y для справного резистора (див. рис. 3, а) відрізняється від матриці провідності в разі моделювання розриву. Аналогічно до моделювання короткого замикання в резисторах виконаємо перетворення з матрицею провідностей (див. рис. 5, б). Модифікація полягає у введенні в матрицю провідностей для справного елемента додаткового стовпця i_f (струм через резистор R_f) та рядка (рівняння несправного елемента) $V_i - V_j - i_f R_f = 0$. Перший рядок запишемо так: $V_i(G + G_f) + V_j(-G - G_f) = V_i G - V_j G + i_f$. Одержаний вираз занесемо в перший рядок. Другий рядок $V_i(-G - G_f) + V_j(G + G_f) = -V_i G + V_j G - i_f$.

Внесок у модифіковану матрицю провідностей несправного резистора показаний на рис. 7, б.

Моделювання розриву в ДСКН. Для цього паралельно з джерелом струму g_m приєднаємо джерело струму $g_m^f = -g_m$. У разі паралельного з'єднання таких джерел загальний струм джерела дорівнюватиме нулю (розрив). Внесок у матрицю провідностей Y паралельного з'єднання двох джерел матиме вигляд як на рис. 8, а:

	i		j	
i	$g_m + g_m^f$...	$-g_m - g_m^f$	
	
j	$-g_m - g_m^f$...	$g_m + g_m^f$	

a

	i		j		i_f
i	$+g_m$...	$-g_m$...	$+I$

j	$-g_m$...	$+g_m$...	$-I$

	I	...	$-I$...	$+I/g_m$

б

Рис. 8. Внесок у матрицю провідностей паралельного з'єднання двох ДСКН (а) та модифікована матриця провідностей для цього з'єднання (б).

Після аналогічних перетворень матриці провідностей (див. рис. 8, а), одержимо матрицю провідностей як на рис. 8, б.

Моделювання короткого замикання між довільними вузлами схеми. Для моделювання закорочення між двома несусідніми вузлами схеми до них приєднують незалежне джерело напруги з нульовим значенням. Нехай його виводи приєднані до вузлів i та j і напруга джерела задовольняє співвідношення $V_i - V_j = 0$. Це компонентне рівняння визначає напругу джерела через вузлові потенціали, і його додають до системи рівнянь. Між вузлами i та j тече струм I . Внесок такого джерела в матрицю провідностей матиме вигляд як на рис. 9.

	i	j		
i	$+I$

j	$-I$

	I	...	$-I$	0

Рис. 9. Внесок у матрицю провідностей під час моделювання короткого замикання між довільними вузлами схеми.

Алгоритм розв'язування системи рівнянь електронних кіл на постійному струмі. Матриці провідностей електричних схем, які одержують у разі моделювання катастрофічних несправностей (див. рис. 5, рис. 7–9), можна записати в блоковому вигляді:

$$Y_f = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix}, \quad (3)$$

де $Y_{11} = (n * n)$ – матриця провідностей номінальної схеми; $Y_{12} = (n * 1)$, $Y_{21} = (1 * n)$, $Y_{22} = (1 * 1)$ – вектори доповнення до матриці Y_{11} .

Алгоритм LU -розкладу в разі розкладу матриці Y_f виконується від вершини матриці Y_f (елемент y_{11}) донизу (елемент y_{nn}) та зліва направо. Це означає, що у випадку зміни елемента y_{ij} в Y_f всі елементи y_{kl} , починаючи з $k \geq i$ та $l \geq j$, повинні бути заново факторизовані. Таке зображення матриці провідностей дасть змогу тільки один раз виконувати обертання або LU -розклад матриці Y_{11} , що приведе до суттєвого зменшення кількості арифметичних операцій під час моделювання катастрофічних несправностей.

Оскільки матриця Y_f не вироджена, то її можна записати в вигляді $Y_f = LU$, де L – нижня трикутна матриця; U – верхня трикутна матриця. Тоді для блокової матриці Y_f можемо записати

$$Y_f = \begin{bmatrix} L_{11} & 0 \\ L_{21} & 1 \end{bmatrix} * \begin{bmatrix} U_{11} & U_{12} \\ 0 & U_{22} \end{bmatrix}, \quad (4)$$

де матриці L_{11} , U_{11} відповідають LU -розкладу матриці провідностей Y_{11} номінальної схеми і не змінюються в разі моделювання катастрофічних

несправностей будь-якого з елементів електричної схеми. З виразу (4) можемо записати такі співвідношення:

$$\begin{cases} L_{11}U_{11} = Y_{11}; & L_{11}U_{12} = Y_{12}; \\ L_{21}U_{11} = Y_{21}; & L_{21}U_{12} + U_{22} = Y_{22}. \end{cases} \quad (5)$$

Зі співвідношень (5) одержуємо вирази для L_{21} , U_{12} , U_{22} , які будуть змінюватися залежно від елемента для якого моделюватимуть катастрофічну несправність:

$$\begin{cases} U_{12} = L_{11}^{-1}Y_{12}; \\ L_{21} = Y_{21}U_{11}^{-1}; \\ U_{22} = Y_{22} - Y_{21}U_{11}^{-1}L_{11}^{-1}Y_{12}. \end{cases} \quad (6)$$

Отже, моделювання катастрофічних несправностей у лінійних електричних колах зводиться до розв'язування системи лінійних рівнянь

$$Y_f \begin{bmatrix} V_f \\ i_f \end{bmatrix} = \begin{bmatrix} L_{11} & 0 \\ L_{21} & 1 \end{bmatrix} * \begin{bmatrix} U_{11} & U_{12} \\ 0 & U_{22} \end{bmatrix} * \begin{bmatrix} V_f \\ i_f \end{bmatrix} = \begin{bmatrix} J \\ 0 \end{bmatrix}. \quad (7)$$

Приклади моделювання катастрофічних несправностей. Моделювання катастрофічних несправностей у лінійних електронних колах розглянемо на прикладі схеми, зображеної на рис. 10. Номінальні значення елементів для цієї схеми такі: $R_1=1\ 000\ \text{Ом}$, $R_2=100\ \text{Ом}$, $E_1=12\ \text{В}$, $E_{op}=12\ \text{В}$, $R_3=5\ 000\ \text{Ом}$, $R_4=100\ \text{Ом}$, $R_5=5\ 000\ \text{Ом}$, $R_n=100\ \text{Ом}$, $R_{in}=10\ \text{МОм}$, $R_{out}=200\ \text{Ом}$, $K=5\ 000$.

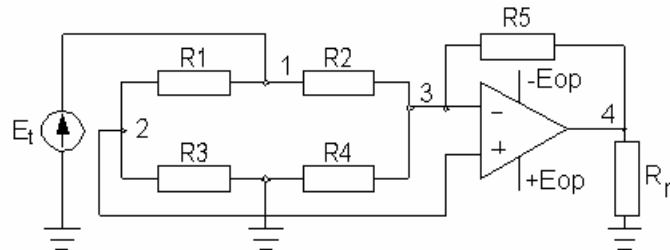


Рис. 10. Приклад схеми для моделювання катастрофічних несправностей.

Кількість вузлів у цій схемі $n=4$. Матриця провідностей Y_f у разі моделювання катастрофічних несправностей матиме розміри $Y_f=[5,5]$.

Результати моделювання розриву, закорочення елементів цієї схеми, а також закорочення між довільними вузлами схеми наведено в табл. 1.

У разі моделювання катастрофічних несправностей електронних кіл з мостовою схемою можуть траплятися випадки неоднозначного визначення характеру катастрофічних несправностей (див. $R_3^{\text{розр}}$ та $R_1^{к.з}$).

Таблиця 1

Результати моделювання катастрофічних несправностей схеми

R, K	$V1(B)$	$V2(B)$	$V3(B)$	$V4(B)$
$R_1^{\text{ном}}$	11,93	11,93	5,945	4,103
$R_1^{\text{розр}}$	11,94	0	5,870	-3,870
$R_2^{\text{розр}}$	11,99	5,997	0,077	3,948
$R_3^{\text{розр}}$	11,94	11,94	5,950	4,025
$R_4^{\text{розр}}$	11,99	5,990	11,68	-3,790
$R_5^{\text{розр}}$	11,93	5,967	5,967	0,0
$K^{\text{розр}}$	11,93	5,960	5,910	0,07
$R_1^{\text{к.з}}$	11,93	11,93	5,945	4,026
$R_2^{\text{к.з}}$	11,87	5,937	11,87	4,103
$R_3^{\text{к.з}}$	11,93	0	5,866	-3,870
$R_4^{\text{к.з}}$	11,87	5,937	0	11,92
$R_5^{\text{к.з}}$	11,93	5,967	5,970	5,970
$K.з.(1-4)$	11,82	5,909	5,967	11,82
$K.з.(2-4)$	11,93	5,963	5,967	5,963

Для виходу з цієї ситуації пропонуємо приєднати до вузла 2 тестовий опір $R_T = R_3$. У випадку короткого замикання резистора $R_1^{\text{к.з}}$ ситуація незмінна, а у випадку обриву R_3 виміряні значення вузлових потенціалів будуть близькими до значень справної схеми.

1. Бендлер Дж. У., Салама А.Э. Диагностика неисправностей в аналоговых цепях // Труды ин-та. инж. по электронике и радиотехнике, 1985. Т. 73. №8. Р. 35–87.
2. Влах И., Сингхал К. Машинные методы анализа и проектирования электронных схем. М.: Радио и связь, 1988. 560 с.
3. Augusto J.S., Almeida C.F.B. Robust and Efficient Simulation of Catastrophic faults in linear circuits, ECCTD'01 – European Conference on Circuit Theory and Design, August 28–31, 2001, Espoo, Finland. Helsinki University of Technology, Finland, 28–31 August, 2001. Helsinki, 2001. P. 1465–1468.

SIMULATION OF CATASTROPHIC FAULTS IN ELECTRONICS DC CIRCUIT

B. Blagitko, V. Rabyk

*Ivan Franko Lviv National University, Radiophysic Department
Tarnavsky Str., 107, Lviv 79017, Ukraine
RabykV@ukr.net*

It was proposed on algorithm for simulation of catastrophic faults in DC linear circuits by modification of conductance matrix of circuit. This algorithm permits modeling of catastrophic faults for a resistor, a voltage controlled source of current and a operational amplifier.

Key words: dynamic system, numerical calculation of steady states, Newton-like methods.

Стаття надійшла до редколегії 30.08.2005

Прийнята до друку 01.09.2005